

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0071707
Application Number

출원년월일 : 2002년 11월 18일
Date of Application NOV 18, 2002

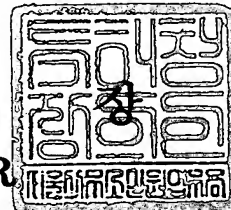
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.18
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 배치방법
【발명의 영문명칭】	Semiconductor memory device and layout method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	성낙우
【성명의 영문표기】	SUNG, NAK WOO
【주민등록번호】	710625-1037318
【우편번호】	135-010
【주소】	서울특별시 강남구 논현동 151-1 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	최현수
【성명의 영문표기】	CHOI, HYUN SU
【주민등록번호】	720315-1243211
【우편번호】	442-724
【주소】	경기도 수원시 팔달구 영통동 롯데아파트 941-1502
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	7	항	333,000	원
---------	---	---	---------	---

【합계】	365,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 메모리 장치 및 이 장치의 배치방법을 공개한다. 이 장치는 $k \times m$ 의 매트릭스 형태로 배열되고 x 및 y 블록 선택신호들에 의해서 나뉘어지고 수평으로 배치된 복수개의 분할 워드 라인들을 구비한 km 개의 메모리 셀 어레이 블록들, 수직으로 배치된 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 비트 라인들, 수평으로 배치된 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 메인 워드 라인들, km 개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 배치된 km 개의 xy 어드레스 워드 라인들, x 블록 어드레스를 디코딩하여 발생하는 x 블록 선택신호들중 해당 x 블록 선택신호와 y 블록 어드레스를 디코딩하여 발생하는 y 블록 선택신호들을 디코딩하여 해당 m 개의 xy 어드레스 워드 라인들을 선택하는 km 개의 메모리 셀 어레이 블록들중 수평으로 배치된 m 개의 메모리 셀 어레이 블록들에 대하여 각각 구비된 디코더, km 개의 xy 어드레스 워드 라인들로부터 km 개의 메모리 셀 어레이 블록들로 수직으로 배치된 km 개의 분할 y 어드레스 라인들, 및 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 메인 워드 라인들과 km 개의 xy 어드레스 워드 라인들중 해당 xy 어드레스 워드 라인의 신호를 조합하여 복수개의 분할 워드 라인들을 선택하는 km 개의 메모리 셀 어레이 블록들 각각에 대하여 구비된 워드 라인 구동회로로 구성되어, y 어드레스 워드 라인에서의 전력 소모를 줄일 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 배치방법{Semiconductor memory device and layout method thereof}

【도면의 간단한 설명】

도1은 종래의 분할 워드 라인 구조를 가진 반도체 메모리 장치의 구성을 나타내는 블록도이다.

도2는 본 발명의 분할 워드 라인 구조를 가진 반도체 메모리 장치의 실시예의 구성을 나타내는 블록도이다.

도3은 도2에 나타낸 디코더의 실시예의 구성을 나타내는 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 전력 소모를 줄일 수 있는 반도체 메모리 장치 및 이 장치의 배치방법에 관한 것이다.
- <5> 종래의 일반적인 반도체 메모리 장치는 워드 라인이 수평으로 배치되고, 비트 라인이 수직으로 배치되고, 워드 라인과 비트 라인사이에 메모리 셀이 배치된다. 그리고,로우 어드레스를 디코딩하여 워드 라인을 선택하고, 컬럼 어드레스를 디코딩하여 비트 라인을 선택한다. 이와같이 구성된 종래의 일반적인 반도체 메모리 장치의 수직으로 배치된 비트 라인은 전원전압의 20%범위에서 스윙하도록 설계된다. 그래서, 비트 라인의 캐

패시턴스를 C , 전원전압을 VDD 라고 하고, 비트 라인의 개수를 y 개라 할 때, 비트 라인에서 소모되는 전력을 계산하여 보면 $y \propto 0.2(VDD)^2$ 이 된다.

<6> 그런데, 종래의 일반적인 반도체 메모리 장치는 하나의 워드 라인이 선택되는 경우에는 워드 라인에 연결된 모든 메모리 셀들과 비트 라인들사이에 전하 공유 동작이 수행됨으로 인해서 비트 라인들의 수가 증가함에 따라 많은 전력 소모를 유발하게 된다는 문제점이 있었다.

<7> 그래서, 상술한 문제점을 해소하기 위하여 분할 워드 라인 구조를 가진 반도체 메모리 장치가 등장하게 되었다.

<8> 분할 워드 라인 구조를 가진 반도체 메모리 장치는 메인 워드 라인 및 분할 워드 라인이 수평으로 배치되고, 비트 라인이 수직으로 배치되고, 분할 워드 라인과 비트 라인사이에 메모리 셀이 배치되고, 메모리 셀 어레이 블록을 선택하기 위한 블록 선택신호들이 전송되는 y 어드레스 워드 라인이 수직으로 배치된다. 분할 워드 라인은 메모리 셀 어레이 블록단위로 분할되고, 메인 워드 라인을 선택하기 위한 신호와 해당 메모리 셀 어레이 블록을 선택하기 위한 블록 선택신호를 조합함에 의해서 선택된다. 그래서, 분할 워드 라인 구조를 가진 반도체 메모리 장치는 선택된 메모리 셀 어레이 블록의 선택된 분할 워드 라인에 연결된 메모리 셀들과 선택된 메모리 셀 어레이 블록의 비트 라인들사이에 전하 공유 동작이 수행된다.

<9> 따라서, 분할 워드 라인 구조를 가지는 반도체 메모리 장치는 선택된 메모리 셀 어레이 블록의 비트 라인들만 동작을 수행하기 때문에 비트 라인들에서 소모되는 전력이 줄어들게 된다.

<10> 일반적으로, 분할 워드 라인 구조를 가진 반도체 메모리 장치는 수직으로 배치된 비트 라인이 전원전압의 20%범위에서 스윙하도록 설계되고, y 어드레스 워드 라인이 전원전압으로 풀 스윙하도록 설계된다. 그리고, 비트 라인의 캐패시턴스를 C라고 할 때, y 어드레스 워드 라인의 캐패시턴스는 비트 라인의 캐패시턴스의 약 4배가 된다. 그래서, 비트 라인의 캐패시턴스를 C, 전원전압을 VDD, 비트 라인의 개수를 y개라 하고, 메모리 셀 어레이 블록을 m개로 분리하고 z개의 메모리 셀 어레이 블록이 동시에 선택되도록 설계된 경우의 비트 라인에서 소모되는 전력을 계산하여 보면 $y/m \times 0.2(VDD)^2$ 이 되고, y 어드레스 워드 라인에서 소모되는 전력을 계산하여 보면 $z \times 4C \times (VDD)^2$ 이 된다.

<11> 따라서, 분할 워드 라인 구조를 가지는 반도체 메모리 장치는 비트 라인에서 소모되는 전력은 줄어들게 되지만, 동시에 동작되는 y 어드레스 워드 라인들의 수가 많아지는 경우에는 오히려 일반적인 반도체 메모리 장치에 비해서 전력 소모가 증가하게 된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 분할 워드 라인 구조에서 y 어드레스 워드 라인에서 발생하는 전력 소모를 줄일 수 있는 반도체 메모리 장치를 제공하는데 있다.

<13> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 반도체 메모리 장치의 배치방법을 제공하는데 있다.

<14> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 k 개의 매트릭스 형태로 배열되고 x블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지고 수평으로 배치된 복수개의 분할 워드 라인들을 구비한 km개의 메모리 셀 어레이 블록들, 상기 km개의

메모리 셀 어레이 블록들의 상측(또는, 하측)에 배치된 km 개의 xy 어드레스 워드 라인들, 및 상기 km 개의 xy 어드레스 워드 라인들로부터 상기 km 개의 메모리 셀 어레이 블록들로 수직으로 배치된 km 개의 분할 y 어드레스 워드 라인들을 구비하는 것을 특징으로 한다.

<15> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 한 형태는 k 개의 매트릭스 형태로 배열되고 x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지고 수평으로 배치된 복수개의 분할 워드 라인들을 구비한 km 개의 메모리 셀 어레이 블록들, 수직으로 배치된 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 비트 라인들, 수평으로 배치된 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 메인 워드 라인들, 상기 km 개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 배치된 km 개의 xy 어드레스 워드 라인들, 상기 x 블록 어드레스를 디코딩하여 발생하는 x 블록 선택신호들중 해당 x 블록 선택신호와 상기 y 블록 어드레스를 디코딩하여 발생하는 y 블록 선택신호들을 디코딩하여 해당 m 개의 xy 어드레스 워드 라인들을 선택하는 상기 km 개의 메모리 셀 어레이 블록들중 수평방향으로 배치된 m 개의 메모리 셀 어레이 블록들에 대하여 각각 구비된 디코딩 수단, 상기 km 개의 xy 어드레스 워드 라인들로부터 상기 km 개의 메모리 셀 어레이 블록들로 수직으로 배치된 km 개의 분할 y 어드레스 라인들, 및 상기 km 개의 메모리 셀 어레이 블록들 각각의 상기 복수개의 메인 워드 라인들과 상기 km 개의 xy 어드레스 워드 라인들중 해당 xy 어드레스 워드 라인의 신호를 조합하여 상기 복수개의 분할 워드 라인들을 선택하는 상기 km 개의 메모리 셀 어레이 블록들 각각에 대하여 구비된 워드 라인 구동수단을 구비하는 것을 특징으로 한다.

<16> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 배치방법은 x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지는 km개의 메모리 셀 어레이 블록들을 매트릭스 형태로 배치하고, 상기 km개의 메모리 셀 어레이 블록들 각각의 복수개의 분할 워드 라인들을 수평으로 배치하고, 상기 km개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 km개의 xy 어드레스 워드 라인들을 배치하고, 상기 km개의 xy 어드레스 워드 라인들 각각으로부터 수직으로 연결되는 km개의 분할 y 어드레스 워드 라인들을 상기 km개의 메모리 셀 어레이 블록들 각각의 좌측(또는, 우측)에 배치하는 것을 특징으로 한다.

<17> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 배치방법의 한 형태는 x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지는 km개의 메모리 셀 어레이 블록들을 k 개의 매트릭스 형태로 배치하고, 상기 km개의 메모리 셀 어레이 블록들의 복수개의 메인 워드 라인들을 수평으로 배치하고 복수개의 비트 라인들을 수직으로 배치하고, 상기 km개의 메모리 셀 어레이 블록들 각각의 복수개의 분할 워드 라인들을 수평으로 배치하고, 상기 km개의 메모리 셀 어레이 블록들의 수평으로 배치된 m개씩의 메모리 셀 어레이 블록들의 m개의 xy 어드레스 워드 라인들을 상기 수평으로 배치된 m개씩의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 수평으로 배치하고, 상기 km개의 메모리 셀 어레이 블록들 각각의 xy 어드레스 워드 라인에 연결된 상기 km개의 메모리 셀 어레이 블록들 각각의 y 어드레스 워드 라인을 상기 km개의 메모리 셀 어레이 블록들 각각의 좌측(또는, 우측)에 수직으로 배치하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <18> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치 및 이 장치의 배치방법을 설명하기 전에 종래의 분할 워드 라인 구조를 가진 반도체 메모리 장치를 설명하면 다음과 같다.
- <19> 도1은 종래의 분할 워드 라인 구조를 가진 반도체 메모리 장치의 구성을 나타내는 블록도로서, m개의 메모리 셀 어레이 블록들(YBK1 ~ YBKm), 및 m개의 워드 라인 드라이버들(WD1 ~ WDm)로 구성되어 있다.
- <20> 도1에서, 메인 워드 라인들(MWL)이 수평으로 배치되고, 메인 워드 라인들(MWL) 각각으로부터 분리된 분할 워드 라인들((WL11 ~ WL1m), (WL21 ~ WL2m), ..., (WLn1 ~ WLnm))이 수평으로 배치되고, 비트 라인들(BL)이 수직으로 배치되고, y 어드레스 워드 라인들(YWL1 ~ YWLm)이 수직으로 배치되어 있다.
- <21> 그리고, 도시하지는 않았지만, 메인 워드 라인들(MWL)을 선택하기 위한 메인 워드 라인 선택신호들(WL1 ~ WLn)은 로우 디코더가 로우 어드레스를 디코딩함에 의해서 발생되고, 블록 선택신호들(YBL1 ~ YBLm)은 블록 어드레스 디코더가 블록 어드레스를 디코딩함에 의해서 발생된다.
- <22> 워드 라인 드라이버(WD1)는 메인 워드 라인 선택신호들(WL1 ~ WLn) 각각과 블록 선택신호(YBL1)를 논리곱하여 분할 워드 라인들(WL11 ~ WLn1) 각각을 선택하는 AND게이트들로 구성되어 있다. 마찬가지로, 워드 라인 드라이버들(WD2 ~ WDm) 각각은 메인 워드 라인 선택신호들(WL1 ~ WLn) 각각과 블록 선택신호들(YBL2 ~ YBLm) 각각을 논리곱하여

분할 워드 라인들((WL12 ~ WLn2) ~ (WL1m ~ WLnM)) 각각을 선택하는 AND게이트들로 구성되어 있다.

<23> 도1에 나타낸 반도체 메모리 장치의 동작을 설명하면 다음과 같다.

<24> 외부로부터 로우 어드레스 및 블록 어드레스가 인가되면 로우 디코더가 로우 어드레스를 디코딩하여 워드 라인 선택신호들(WL1 ~ WLn)을 발생하고, 블록 어드레스 디코더가 블록 어드레스를 디코딩하여 블록 선택신호들(YBL1 ~ YBLm)을 발생한다.

<25> 이때, 로우 디코더가 로우 어드레스를 디코딩함에 의해서 "하이"레벨의 워드 라인 선택신호(WL1)를 발생하고, 블록 어드레스 디코더가 블록 어드레스를 디코딩함에 의해서 블록 선택신호(YBL1)를 발생한다면, 워드 라인 드라이버(WD1)의 AND게이트가 분할 워드 라인(WL11)을 선택한다.

<26> 그러면, 분할 워드 라인(WL11)에 연결된 메모리 셀들이 선택되어 메모리 셀 어레이 블록(YBK1)의 비트 라인들(BL)과 분할 워드 라인(WL11)에 연결된 메모리 셀들사이에서 전하 공유 동작이 수행된다.

<27> 이때, 분할 워드 라인(WL11)이외의 다른 분할 워드 라인들은 선택되지 않게 됨으로써 메모리 셀 어레이 블록(YBK1)이외의 다른 메모리 셀 어레이 블록들(YBK2 ~ YBKm)의 비트 라인들(BL)이 동작을 수행하지 않게 된다.

<28> 따라서, 종래의 분할 워드 라인 구조를 가진 반도체 메모리 장치는 비트 라인들에서 소모되는 전력을 일반적인 반도체 메모리 장치에 비해서 1/m로 줄일 수 있다는 장점이 있다.

- <29> 그러나, 종래의 분할 워드 라인 구조를 가진 반도체 메모리 장치는 수직으로 비트 라인들뿐만 아니라 y 어드레스 워드 라인들이 배치되어 있으므로, y 어드레스 워드 라인에서 소모되는 전력도 무시할 수가 없다. 또한, y 어드레스 워드 라인은 전원전압으로 풀 스윙을 하기 때문에 비트 라인에서 소모되는 전력보다 전력 소모가 크다.
- <30> 비트 라인의 캐패시턴스를 C, 전원전압을 VDD, 비트 라인의 개수를 y개라 하고, 메모리 셀 어레이 블록을 m개로 분리하고 z개의 메모리 셀 어레이 블록이 동시에 선택되도록 설계된 경우의 비트 라인들에서 소모되는 전력을 계산하여 보면 $y/m \propto 0.2(VDD)^2$ 이 되고, y 어드레스 워드 라인에서 소모되는 전력을 계산하여 보면 $z \propto C \times (VDD)^2$ 이 된다. 식으로부터 알 수 있듯이, 하나의 y 어드레스 워드 라인에서 소모되는 전력이 하나의 비트 라인에서 소모되는 전력의 20배가 된다. 이는 20개의 비트 라인들이 동작됨에 의해서 소모되는 전력과 하나의 y 어드레스 워드 라인이 동작됨에 의해서 소모되는 전력이 동일하다는 것이다.
- <31> 결과적으로, 하나의 블록 선택신호에 의해서 동시에 선택되는 메모리 셀 어레이 블록들의 수가 많아지게 되면 동시에 동작되는 y 어드레스 워드 라인들의 수가 많아지게 되고, 이에 따라 y 어드레스 워드 라인들에서 소모되는 전력이 증가하게 된다.
- <32> 따라서, 도1에 나타낸 반도체 메모리 장치는 일반적인 반도체 메모리 장치에 비해서 비트 라인들에서 소모되는 전력을 줄일 수 있으나, 비트 라인들과 동시에 동작되는 y 어드레스 워드 라인들의 수가 많아지는 경우에는 y 어드레스 워드 라인들에서 소모되는 전력이 증가하여 반도체 메모리 장치의 전력 소모가 증가하게 된다.
- <33> 도2는 본 발명의 분할 워드 라인 구조를 가진 반도체 메모리 장치의 실시예의 구성을 나타내는 블록도로서, km개의 메모리 셀 어레이 블록들(XYBK11 ~ XYBKkm), km개의 위

드 라인 드라이버들(WD11 ~ WDkm), k개의 디코더들(10-1 ~ 10-k), 및 km개의 드라이버들(12-11 ~ 12-km)로 구성되어 있다.

<34> 도1에서와 마찬가지로, 메인 워드 라인들(MWL)이 수평으로 배치되고, 메인 워드 라인들(MWL) 각각으로부터 분리된 분할 워드 라인들((WL111 ~ WL1i1), (WL112 ~ WL1i2), ..., (WLk1m ~ WLkim))이 수평으로 배치되고, 비트 라인들(BL)이 수직으로 배치되어 있다. y 어드레스 워드 라인들(YWL1 ~ YWLm)은 한쪽으로 몰아서 수직으로 배치되고, 분할 y 어드레스 워드 라인들(YWL11 ~ YWLkm)은 수직으로 배치되고, xy 어드레스 워드 라인들((XY11 ~ XY1m) ~ (XYk1 ~ XYkm))은 상하로 위치한 메모리 셀 어레이 블록들사이에 수평으로 배치되어 있다.

<35> 그리고, 도1에서와 마찬가지로, 메인 워드 라인들(MWL)을 선택하기 위한 메인 워드 라인 선택신호들(WL1 ~ WLn)은 로우 디코더가 로우 어드레스를 디코딩함에 의해서 발생되고, y방향의 메모리 셀 어레이 블록들을 선택하기 위한 y 블록 선택신호들(YBL1 ~ YBLm)은 y 블록 어드레스 디코더가 y 블록 어드레스를 디코딩함에 의해서 발생된다. x방향의 메모리 셀 어레이 블록들을 선택하기 위한 x 블록 선택신호들(XBL1 ~ XBLk)은 x 블록 어드레스 디코더가 x 블록 어드레스를 디코딩함에 의해서 발생된다.

<36> 디코더(10-1)는 x 블록 선택신호(XBL1)과 y 블록 선택신호들(YBL1 ~ YBLm) 각각을 디코딩함에 의해서 xy 어드레스 워드 라인들(XY11 ~ XY1m)을 선택한다. 즉, 디코더(10-1)는 x 블록 선택신호(XBL1)에 응답하여 y 블록 선택신호들(YBL1 ~ YBLm)을 출력하여 xy 어드레스 워드 라인들(XY11 ~ XY1m)을 선택한다. 다른 디코더들(10-2 ~ 10-k) 각각은 x 블록 선택신호들(XBL2 ~ XBLk)과 y 블록 선택신호들(YBL1 ~ YBLm) 각각을 디코딩함에 의해서 xy 어드레스 워드 라인들((XY21 ~ XY2m) ~ (XYk1 ~ XYkm))을 선택한다.

- <37> 워드 라인 드라이버(WD11)는 메인 워드 라인 선택신호들(WL11 ~ WL1i) 각각과 xy 어드레스 워드 라인(XY11)의 신호를 논리곱하여 분할 워드 라인들(WL111 ~ WL1i1) 각각을 선택하는 AND게이트들로 구성되어 있다. 마찬가지로, 워드 라인 드라이버들(WD12 ~ WD1m) 각각은 메인 워드 라인 선택신호들(WL11 ~ WL1i) 각각과 xy 어드레스 워드 라인들(XY12 ~ XY1m) 각각을 논리곱하여 분할 워드 라인들((WL112 ~ WL1i2) ~ (WL11m ~ WL1im)) 각각을 선택하는 AND게이트들로 구성되어 있다. 다른 워드 라인 드라이버들(WD21 ~ WDkm) 또한 워드 라인 드라이버들(WD11 ~ WD1i)과 동일한 방법으로 구성되어 있다.
- <38> 드라이버들(12-11 ~ 12km) 각각은 xy 어드레스 워드 라인들(XY11 ~ XYkm) 각각의 신호를 구동한다. 도2에서는 드라이버들(12-11 ~ 12-km) 각각을 구비하는 구성을 나타내었으나, 경우에 따라서는 구비하지 않더라도 상관없다.
- <39> 상술한 바와 같이 도2에 나타낸 반도체 메모리 장치는 메모리 셀 어레이를 y 블록 어드레스에 의해서만 블록단위로 나누는 것이 아니라, xy 블록 어드레스에 의해서 블록단위로 나누어 구성하고, 상하로 배치된 메모리 셀 어레이 블록들사이에 xy 어드레스 워드 라인들을 배치하고, y 어드레스 워드 라인들을 한쪽으로 몰아서 배치하고, xy 어드레스 워드 라인들 각각으로부터 분할된 y 어드레스 워드 라인들을 배치한 것이다.
- <40> 이와같이 분할 y 어드레스 워드 라인 구조로 구성함으로써 분할 y 어드레스 워드 라인의 캐패시턴스가 줄어들게 되어 y 어드레스 워드 라인에서 소모되는 전력이 줄어들게 된다. 즉, 분할 y 어드레스 워드 라인 구조로 구성함으로써 도2에 나타낸 바와 같이 메모리 셀 어레이를 수직으로 k개로 분할하였을 경우에 도1에 나타낸 장치에 비해서 분할 y 어드레스 워드 라인의 캐패시턴스가 $1/k$ 로 줄어들게 되며, 이에 따라, 전력 소모가

1/k로 줄어들게 된다. 물론, 하나의 y 어드레스 워드 라인에서 소모되는 전력도 있으나, 이는 도1에 나타낸 종래의 장치의 y 어드레스 워드 라인의 캐패시턴스만큼 크지가 않으므로 무시할 만하다. 즉, 도1에 나타낸 종래의 장치에서는 y 어드레스 워드 라인에 분할 워드 라인들의 수 만큼의 게이트들이 연결되어 있으므로 y 어드레스 워드 라인의 캐패시턴스가 컸으나, 본 발명에서는 y 어드레스 워드 라인에 디코더들만 연결되어 있으므로 y 어드레스 워드 라인의 캐패시턴스가 줄어들게 된다.

<41> 도2에 나타낸 반도체 메모리 장치의 동작을 설명하면 다음과 같다.

<42> 외부로부터 로우 어드레스 및 y 블록 어드레스가 인가되면 로우 디코더가 로우 어드레스를 디코딩하여 워드 라인 선택신호들(WL1 ~ WL_n)을 발생하고, y 블록 어드레스 디코더가 y 블록 어드레스를 디코딩하여 y 블록 선택신호들(YBL1 ~ YBL_m)을 발생한다. 그리고, x 블록 어드레스 디코더가 로우 어드레스중 x 블록 어드레스를 디코딩하여 x 블록 선택신호들(XBL1 ~ XBL_k)을 발생한다.

<43> 이때, 로우 디코더가 로우 어드레스를 디코딩함에 의해서 "하이"레벨의 워드 라인 선택신호(WL11)를 발생하고, y 블록 어드레스 디코더가 y 블록 어드레스를 디코딩함에 의해서 블록 선택신호(YBL1)를 발생하고, x 블록 어드레스 디코더가 x 블록 어드레스를 디코딩함에 의해서 블록 선택신호(XBL1)를 발생한다면, 디코더(10-1)가 xy 어드레스 워드 라인(XY11)을 선택한다. 그리고, 드라이버(12-11)가 xy 어드레스 워드 라인(XY11)의 신호를 구동하여 분할 y 어드레스 워드 라인(YWL11)을 선택한다. 그러면, 워드 라인 드라이버(WD11)의 AND게이트가 분할 워드 라인(WL111)을 선택한다.

- <44> 그러면, 분할 워드 라인(WL111)에 연결된 메모리 셀들이 선택되어 메모리 셀 어레이 블록(XYBK11)의 비트 라인들(BL)과 분할 워드 라인(WL111)에 연결된 메모리 셀들 사이에 전하 공유 동작이 수행된다.
- <45> 이때, 분할 워드 라인(WL111)이외의 다른 분할 워드 라인들은 선택되지 않게 됨으로써 메모리 셀 어레이 블록(XYBK11)이외의 다른 메모리 셀 어레이 블록들(XYBK12 ~ YBKkm)의 비트 라인들(BL)이 동작을 수행하지 않게 된다.
- <46> 따라서, 본 발명의 분할 워드 라인 구조를 가진 반도체 메모리 장치는 비트 라인들에서 소모되는 전력은 도1에 나타난 종래의 장치의 비트 라인들에서 소모되는 전력과 동일하다. 그러나, y 어드레스 워드 라인에서 소모되는 전력은 줄어들게 된다.
- <47> 비트 라인의 캐패시턴스를 C, 전원전압을 VDD, 비트 라인의 개수를 y개라 하고, 메모리 셀 어레이 블록을 km개로 분리하고 z개의 메모리 셀 어레이 블록이 동시에 선택되도록 설계된 경우의 비트 라인들에서 소모되는 전력을 계산하여 보면 $y/m \times 0.2(VDD)^2$ 이 되고, y 어드레스 워드 라인에서 소모되는 전력을 계산하여 보면 $z \times 4C/k \times (VDD)^2$ 이 된다. 식으로부터 알 수 있듯이, y 어드레스 워드 라인에서 소모되는 전력이 도1에 나타난 장치에 비해서 $1/k$ 만큼 줄어들게 된다.
- <48> 도3은 도2에 나타난 디코더(10-1)의 실시예의 구성을 나타내는 것으로, m개의 AND 게이트들(AND1 ~ ANDm)로 구성되어 있다.
- <49> 도3에 나타난 구성의 기능을 설명하면 다음과 같다.
- <50> AND게이트(AND1)는 x 블록 선택신호(XBL1)와 y 블록 선택신호(YBL1)를 논리곱하여 xy 어드레스 워드 라인(XY11)을 선택하기 위한 신호를 발생한다. AND게이트들(AND2 ~

AND_m) 각각은 x 블록 선택신호(XBL1)와 y 블록 선택신호들(YBL2 ~ YBL_m) 각각을 논리곱하여 xy 어드레스 워드 라인들(XY12 ~ XY1_m) 각각을 선택하기 위한 신호를 발생한다.

<51> 그리고, 도시하지는 않았지만 다른 디코더들(10-2 ~ 10-k) 또한, 디코더(10-1)와 동일하게 구성된다.

<52> 실시예에서는 디코더들 각각이 AND게이트들로 구성되는 것을 나타내었다. 이 경우에, 드라이버들(12-11 ~ 12-k_m) 각각은 버퍼와 같은 논리 게이트로 구성될 수 있다.

<53> 그러나, 만일 디코더들 각각이 AND게이트들이 아니라 NAND게이트로 구성된다면, 드라이버들(12-11 ~ 12-k_m) 각각은 인버터와 같은 논리 게이트로 구성될 수 있다.

<54> 즉, 디코더들 및 드라이버들의 구성은 다양한 방법으로 구성하는 것이 가능하다.

<55> 상술한 바와 같이 본 발명의 분할 워드 라인 구조를 가지는 반도체 메모리 장치는 y 어드레스 워드 라인을 분할함으로써 y 어드레스 워드 라인에서 소모되는 전력 소모를 줄일 수 있다.

<56> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<57> 본 발명의 반도체 메모리 장치 및 이 장치의 배치방법은 y 어드레스 워드 라인을 분할하여 배치함으로써 y 어드레스 워드 라인에서 소모되는 전력을 줄일 수 있다.

【특허청구범위】

【청구항 1】

k 개의 매트릭스 형태로 배열되고 x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지고 수평으로 배치된 복수개의 분할 워드 라인들을 구비한 km 개의 메모리 셀 어레이 블록들;

상기 km 개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 배치된 km 개의 xy 어드레스 워드 라인들; 및

상기 km 개의 xy 어드레스 워드 라인들로부터 상기 km 개의 메모리 셀 어레이 블록들로 수직으로 배치된 km 개의 분할 y 어드레스 워드 라인들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

k 개의 매트릭스 형태로 배열되고 x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지고 수평으로 배치된 복수개의 분할 워드 라인들을 구비한 km 개의 메모리 셀 어레이 블록들;

수직으로 배치된 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 비트 라인들;

수평으로 배치된 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 메인 워드 라인들;

상기 km 개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 배치된 km 개의 xy 어드레스 워드 라인들;

상기 x 블록 어드레스를 디코딩하여 발생하는 x 블록 선택신호들중 해당 x 블록 선택신호와 상기 y 블록 어드레스를 디코딩하여 발생하는 y 블록 선택신호들을 디코딩하여 해당 m 개의 xy 어드레스 워드 라인들을 선택하는 상기 km 개의 메모리 셀 어레이 블록들중 수평방향으로 배치된 m 개의 메모리 셀 어레이 블록들에 대하여 각각 구비된 디코딩 수단;

상기 km 개의 xy 어드레스 워드 라인들로부터 상기 km 개의 메모리 셀 어레이 블록들로 수직으로 배치된 km 개의 분할 y 어드레스 라인들; 및

상기 km 개의 메모리 셀 어레이 블록들 각각의 상기 복수개의 메인 워드 라인들과 상기 km 개의 xy 어드레스 워드 라인들중 해당 xy 어드레스 워드 라인의 신호를 조합하여 상기 복수개의 분할 워드 라인들을 선택하는 상기 km 개의 메모리 셀 어레이 블록들 각각에 대하여 구비된 워드 라인 구동수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 y 블록 선택신호들이 좌측(또는, 우측)에 몰려서 수직으로 배치된 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지는 km 개의 메모리 셀 어레이 블록들을 매트릭스 형태로 배치하고, 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 분할 워드 라인들을 수평으로 배치하고,

상기 km 개의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 km 개의 xy 어드레스 워드 라인들을 배치하고,

상기 km 개의 xy 어드레스 워드 라인들 각각으로부터 수직으로 연결되는 km 개의 분할 y 어드레스 워드 라인들을 상기 km 개의 메모리 셀 어레이 블록들 각각의 좌측(또는, 우측)에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치방법.

【청구항 5】

x 블록 선택신호들과 y 블록 선택신호들에 의해서 나뉘어지는 km 개의 메모리 셀 어레이 블록들을 $k \times m$ 의 매트릭스 형태로 배치하고, 상기 km 개의 메모리 셀 어레이 블록들의 복수개의 메인 워드 라인들을 수평으로 배치하고 복수개의 비트 라인들을 수직으로 배치하고, 상기 km 개의 메모리 셀 어레이 블록들 각각의 복수개의 분할 워드 라인들을 수평으로 배치하고,

상기 km 개의 메모리 셀 어레이 블록들의 수평으로 배치된 m 개씩의 메모리 셀 어레이 블록들의 m 개의 xy 어드레스 워드 라인들을 상기 수평으로 배치된 m 개씩의 메모리 셀 어레이 블록들의 상측(또는, 하측)에 수평으로 배치하고,

상기 km 개의 메모리 셀 어레이 블록들 각각의 xy 어드레스 워드 라인에 연결된 상기 km 개의 메모리 셀 어레이 블록들 각각의 y 어드레스 워드 라인을 상기 km 개의 메모리 셀 어레이 블록들 각각의 좌측(또는, 우측)에 수직으로 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치방법.

【청구항 6】

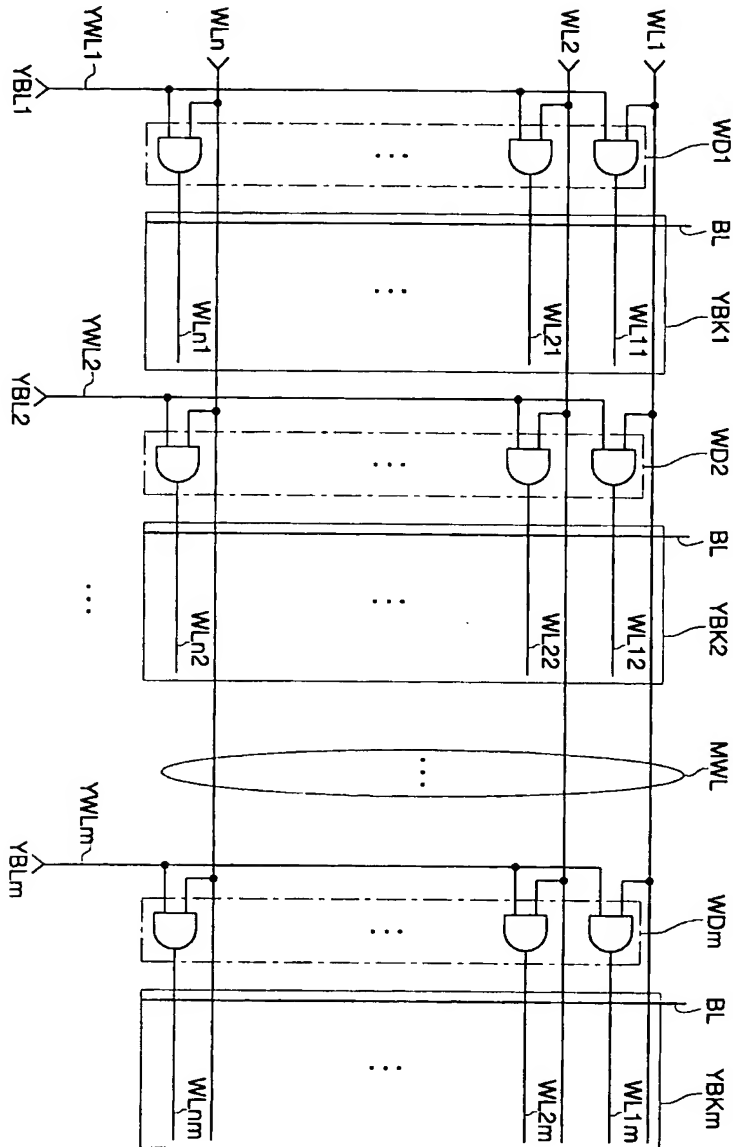
제5항에 있어서, 상기 y 블록 선택신호들을 상기 km개의 메모리 셀 어레이 블록들의 좌측(또는, 우측)으로 몰아서 수직으로 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치방법.

【청구항 7】

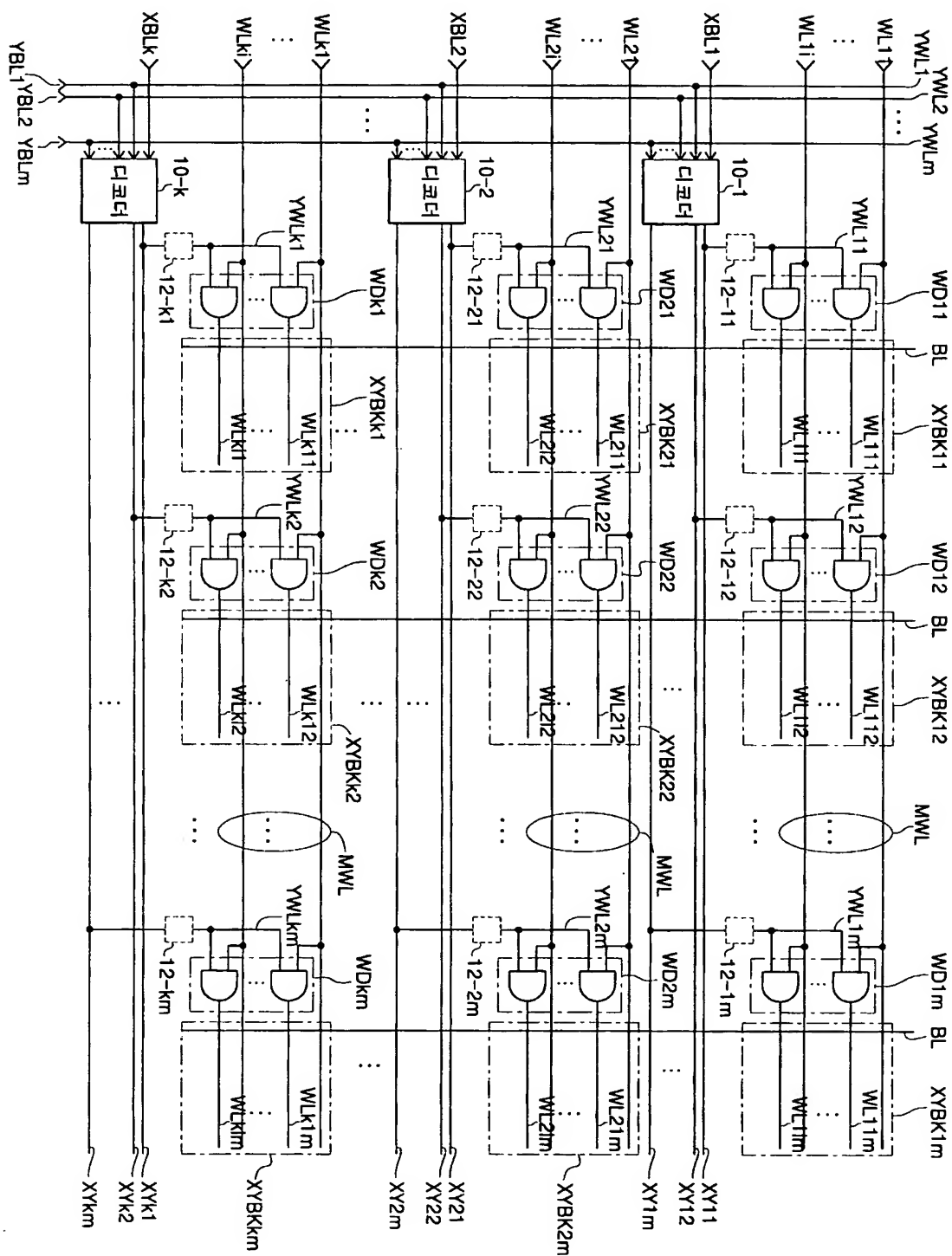
제5항에 있어서, 상기 x 블록 어드레스를 디코딩하여 발생하는 x 블록 선택신호들 중 해당 x 블록 선택신호와 상기 y 블록 어드레스를 디코딩하여 발생하는 y 블록 선택신호들을 디코딩하여 상기 km개의 메모리 셀 어레이 블록들 각각의 상측(또는, 하측)에 수평으로 배치된 해당 xy 어드레스 워드 라인들을 선택하는 상기 km개의 메모리 셀 어레이 블록들중 수평방향으로 배치된 m개의 메모리 셀 어레이 블록들에 대하여 각각 구비된 디코딩 수단을 상기 해당 xy 어드레스 워드 라인들의 좌측(또는, 우측)에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치방법.

【도면】

【도 1】



【도 2】



【도 3】

